

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-340709  
 (43)Date of publication of application : 10.12.1999

(51)Int.Cl. H01P 3/08  
 H05K 1/02  
 H05K 1/14

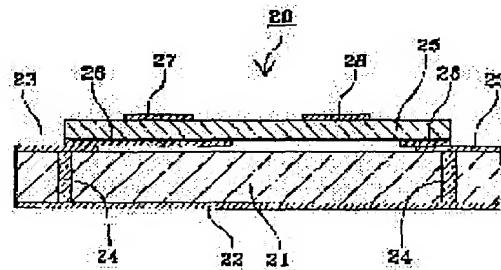
(21)Application number : 10-139933 (71)Applicant : MURATA MFG CO LTD  
 (22)Date of filing : 21.05.1998 (72)Inventor : SASAHATA AKIHIRO  
 IEGI TSUTOMU  
 SASAKI YUTAKA

## (54) CIRCUIT BOARD AND ELECTRONIC DEVICE USING THE CIRCUIT BOARD

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a circuit board and an electronic device using it capable of simultaneously reducing the parasitic capacitance of a concentrated constant element and miniaturizing a distributed constant element among circuit elements and lowering a price further.

SOLUTION: In a first electric substrate 21 of a low dielectric constant where a first ground electrode 22 is formed on the almost entire surface of one main surface and a second ground electrode 23 is formed at a part of the other main surface and a second dielectric substrate 25 of a high dielectric constant where a third ground electrode 26 is formed at a part of one main surface and the distribution constant element 27 composed of a microstrip line and the concentrated constant element 28 are formed on the other main surface, one main surface of the second dielectric substrate 25 is piled up on the other main surface of the first dielectric substrate 21, the second ground electrode 23 and the third ground electrode 26 are electrically connected and this circuit board 20 is constituted. Thus, the reduction of the parasitic capacitance of the concentrated constant element, the miniaturization of the distributed constant element composed of the microstrip line, the improvement of the degree of freedom of circuit design, the miniaturization of the circuit board itself and price reduction further are simultaneously realized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平11-340709

(43)公開日 平成11年(1999)12月10日

(51) Int.Cl.<sup>6</sup>  
 H 01 P 3/08  
 H 05 K 1/02  
 1/14

識別記号

F I  
 H 01 P 3/08  
 H 05 K 1/02  
 1/14

N  
 A

審査請求 未請求 請求項の数 5 O.L. (全 7 頁)

(21)出願番号 特願平10-139933

(22)出願日 平成10年(1998)5月21日

(71)出願人 000006231

株式会社村田製作所  
京都府長岡京市天神二丁目26番10号

(72)発明者 笹畠 昭弘

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72)発明者 家木 勉

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72)発明者 佐々木 豊

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

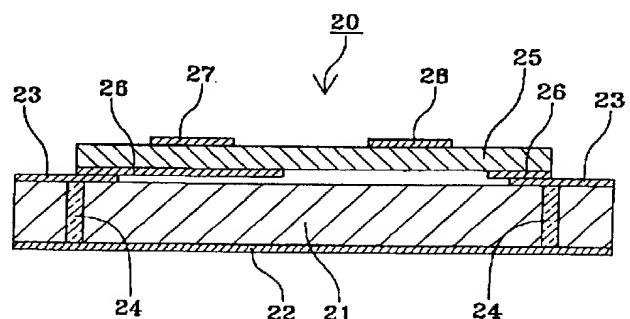
## (54)【発明の名称】回路基板およびそれを用いた電子装置

## (57)【要約】

【課題】回路素子のうち、集中定数素子の寄生容量の低減と分布定数素子の小型化、さらには低価格化を同時に実現できる回路基板およびそれを用いた電子装置を提供する。

【解決手段】一方主面のほぼ全面に第1の接地電極2を形成し、他方主面の一部に第2の接地電極23を形成した低誘電率の第1の誘電体基板21と、一方主面の一部に第3の接地電極26を形成し、他方主面にマイクロストリップ線路からなる分布定数素子27、集中定数素子28を形成した高誘電率の第2の誘電体基板25を、第2の誘電体基板25の一方主面を、前記第1の誘電体基板21の他方主面に重ね合わせて、第2の接地電極23と第3の接地電極26を電気的に接続して回路基板20を構成する。

【効果】集中定数素子の寄生容量の低減とマイクロストリップ線路からなる分布定数素子の小型化、回路設計の自由度の向上、さらには回路基板自身の小型化、低価格化を同時に実現することができる。



## 【特許請求の範囲】

【請求項1】 一方正面のほぼ全面に第1の接地電極を形成し、他方正面の一部に第2の接地電極を形成した第1の誘電体基板と、一方正面の一部に第3の接地電極を形成し、他方正面に回路素子を形成した第2の誘電体基板からなり、

前記第2の誘電体基板の一方正面を、前記第1の誘電体基板の他方正面に重ね合わせて、前記第2の接地電極と前記第3の接地電極を電気的に接続したことを特徴とする回路基板。

【請求項2】 前記第1の誘電体基板を低誘電率の誘電体で構成し、前記第2の誘電体基板を高誘電率の誘電体で構成したことを特徴とする、請求項1に記載の回路基板。

【請求項3】 前記回路素子は、前記第1の接地電極と前記第3の接地電極のいずれか一方もしくは両方と対向して形成されたことを特徴とする、請求項1または2に記載の回路基板。

【請求項4】 前記回路素子は、前記第2の誘電体基板の一方正面に形成された電極と、前記第2の誘電体基板の他方正面に形成された電極を組み合わせて形成したことを特徴とする、請求項1ないし3のいずれかに記載の回路基板。

【請求項5】 請求項1ないし4のいずれかに記載の回路基板を用いて構成したことを特徴とする電子装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、回路基板およびそれを用いた電子装置、特に高周波帯で用いられる回路基板およびそれを用いた電子装置に関する。

## 【0002】

【従来の技術】 近年の通信機器における使用周波数の高周波化にともなって、そのRF段などの高周波帯で使用される回路基板のさらなる小型化、低価格化が求められている。

【0003】 図10に、従来の回路基板の断面図を示す。図10において、回路基板1は、誘電体基板2の一方正面の全面に接地電極3を形成し、誘電体基板2の他方正面に回路素子として特性インピーダンスの高いマイクロストリップ線路からなる分布定数素子4、特性インピーダンスの低いマイクロストリップ線路からなる分布定数素子5、集中定数素子6を形成して構成している。ここで、分布定数素子4は、特性インピーダンスを高くするために、その幅を狭く形成し、逆に分布定数素子5は、特性インピーダンスを低くするために、その幅を広く形成している。また、集中定数素子6は、たとえば幅の狭い電極をミアンダ状に形成してなるインダクタンス素子や、あるいは櫛形電極を対にして形成した容量素子などである。

【0004】 また、図11に、従来の別の回路基板の断

面図を示す。図11において、回路基板10は、2つの高誘電率の誘電体層11aおよび11bと低誘電率の誘電体層11cを順に重ねて誘電体基板11を形成し、その一方正面の全面に第1の接地電極12を形成し、誘電体層11bと11cの層間のほぼ全面に第2の接地電極13を形成し、誘電体基板11の他方正面に集中定数素子15、16を形成し、誘電体層11aと11bの層間に分布定数素子17を形成して構成している。ここで、第1の接地電極12と第2の接地電極13はスルーホール14で接続されている。また、集中定数素子15や16は、図10の集中定数素子6と同様のインダクタンス素子や容量素子である。また、分布定数素子17はトリプレート型のストリップ線路からなる素子である。そして、集中定数素子16と分布定数素子17はスルーホール18で接続されている。

【0005】 このようにして、1つの回路基板に分布定数素子や集中定数素子を混在させて形成して、1つの機能を実現している。

## 【0006】

20 【発明が解決しようとする課題】 図10に示した回路基板1において、分布定数素子4と5の大きさは、回路基板1の波長短縮率に依存する。回路基板1の波長短縮率は誘電体基板2の誘電率に依存するため、分布定数素子4と5の大きさは誘電体基板2の誘電率に依存することになる。そのため、回路基板1の小型化のために分布定数素子4や5を小さくしようと思えば、誘電体基板2の誘電率を高くする必要がある。そして、その場合に、分布定数素子4や5のサイズが、誘電体基板2の誘電率を高くする前と同じでは、分布定数素子4や5のインピーダンスが低下するため、分布定数素子4や5の線路の幅を狭くする必要がある。しかしながら、特に元々特性インピーダンスを高くするために線路の幅を狭く形成している分布定数素子4に関しては、さらに線路幅を狭くするということになると、一定以上に幅の狭い線路を作成する場合に寸法精度の高い線路の形成が困難になるという問題がある。また、状況によっては、目的の線路幅が実現可能な線路幅より狭くなっているため、目的の特性インピーダンスを実現できなくなるという問題もある。さらに、集中定数素子6に関しては、誘電体基板2の誘電率を高くすることによって、接地電極3との間の寄生容量が増加して、素子としての特性が劣化してしまうという問題もある。

45 【0007】 また、図11の回路基板10においては、回路基板1の問題点に対する対策の意味もあって、集中定数素子15、16を低誘電率の誘電体層11cの上に形成し、分布定数素子17を高誘電率の誘電体層11a、11bで挟まれたトリプレート構造で形成している。しかしながら、この場合は分布定数素子と集中定数素子を形成する面が異なるために、両者の接続のたびにスルーホール18を設ける必要があり、製造コストがか

かり高価格になるという問題がある。また、スルーホール28による寄生の容量成分やインダクタンス成分が回路基板の高周波特性に悪影響を与えて設計通りの機能を果たさないという問題もある。さらには、トリプレート構造にすることによって分布定数素子を厚膜印刷を用いて形成する必要が生じ、高い寸法精度を実現することが難しくなるという問題もある。

【0008】本発明は上記の問題点を解決することを目的とするもので、集中定数素子の寄生容量の低減と分布定数素子の小型化、さらには低価格化を同時に実現できる回路基板およびそれを用いた電子装置を提供する。

#### 【0009】

【課題を解決するための手段】上記目的を達成するために、本発明の回路基板は、一方正面のほぼ全面に第1の接地電極を形成し、他方正面の一部に第2の接地電極を形成した第1の誘電体基板と、一方正面の一部に第3の接地電極を形成し、他方正面に回路素子を形成した第2の誘電体基板からなり、前記第2の誘電体基板の一方正面を、前記第1の誘電体基板の他方正面に重ね合わせて、前記第2の接地電極と前記第3の接地電極を電気的に接続したことを特徴とする。

【0010】また、本発明の回路基板は、前記第1の誘電体基板を低誘電率の誘電体で構成し、前記第2の誘電体基板を高誘電率の誘電体で構成したことを特徴とする。

【0011】また、本発明の回路基板は、前記回路素子は、前記第1の接地電極と前記第3の接地電極のいずれか一方もしくは両方と対向して形成されたことを特徴とする。

【0012】また、本発明の回路基板は、前記回路素子は、前記第2の誘電体基板の一方正面に形成された電極と、前記第2の誘電体基板の他方正面に形成された電極を組み合わせて形成したことを特徴とする。

【0013】また、本発明の電子装置は、上記の回路基板を用いて構成したことを特徴とする。

【0014】このように構成することにより、本発明の回路基板においては、集中定数素子の寄生容量の低減と分布定数素子の小型化、さらには回路基板自身の小型化と低価格化を同時に実現することができる。

【0015】また、本発明の電子装置においては小型化と低価格化を実現することができる。

#### 【0016】

【発明の実施の形態】図1に、本発明の回路基板の一実施例の断面図を示す。図1において、第1の誘電体基板21は、たとえば比誘電率が10程度の低誘電率のセラミックからなり、一方正面のほぼ全面には第1の接地電極22が形成され、他方正面には第2の接地電極23が形成され、第1の接地電極22と第2の接地電極23はスルーホール24で接続されている。また、第2の誘電体基板25は、たとえば比誘電率が100程度の高誘電

率のセラミックからなり、一方正面の約半分には第3の接地電極26が形成され、他方正面には回路素子としてマイクロストリップ線路からなる分布定数素子27および集中定数素子28が形成されている。そして、回路基板20は、第1の誘電体基板21の他方正面の上に第2の誘電体基板25の一方正面を重ね合わせて、第1の誘電体基板21の第2の接地電極23と、第2の誘電体基板25の第3の接地電極26を、半田付けや導電ペーストなどで電気的に接続して構成されている。

10 【0017】ここで、第1の誘電体基板21の他方正面において、第2の誘電体基板25と対向する部分には、第3の接地電極26と接する部分を除いては第2の接地電極23はほとんど形成されていない。また、第2の誘電体基板25の一方正面においては、分布定数素子27と対向する部分には第3の接地電極26が形成され、集中定数素子28と対向する部分には接地電極26は形成されていない。

15 【0018】その結果、第2の誘電体基板25の他方正面に形成された分布定数素子27は、第2の誘電体基板25の厚み分の距離を隔てて第3の接地電極26と対向して形成されている。また、第2の誘電体基板25の他方正面に形成された集中定数素子28は、第2の誘電体基板25と第1の誘電体基板21の両方の厚み分を合わせた距離を隔てて第1の接地電極22と対向して形成されている。なお、図1においては、第1の誘電体基板21と第2の誘電体基板25の間に大きな隙間があるよう見えるが、これは各接地電極の厚みを強調したために生じたもので、現実にはほとんど隙間はない。

20 【0019】ここで、図2に、分布定数素子27の一実施例の平面図を示す。図2において、分布定数素子27は、入力側線路27a、一端が開放で他端が接地の1/4波長のマイクロストリップ線路共振器27b、27c、27d、27e、出力側線路27fで構成されている。マイクロストリップ線路共振器27b、27c、27d、27eは並べて配置され、その両端のマイクロストリップ線路共振器27bと27eの途中には入力側線路27aおよび出力側線路27fが接続されて、コムラインタイプのフィルタを構成している。

25 【0020】また、図3に、集中定数素子28の一実施例の平面図を示す。図3において、集中定数素子28は櫛形電極対28aと入力側線路28b、出力側線路28cからなる容量素子である。

【0021】また、図4に、集中定数素子の別の実施例の平面図を示す。図4において、集中定数素子29は幅の狭いミアンダ状の線路29aと入力側線路29b、出力側線路29cからなるインダクタンス素子である。

30 【0022】なお、上記の図2ないし図4においては、誘電体基板25は省略している。

【0023】図1に戻って、このように構成された回路基板20において、集中定数素子28は、第1の誘電体

基板21と第2の誘電体基板25の両方を隔てて第1の接地電極22と対向して形成されているため、集中定数素子28と第1の接地電極22との間隔は、第1の誘電体基板21と第2の誘電体基板25を合わせた厚み分となる。また、集中定数素子28と第1の接地電極22との間にある誘電体の実効的な誘電率は、低誘電率の第1の誘電体基板21と、高誘電率の第2の誘電体基板25が重なったものであるため、両者の間の値を持つ。そのために、集中定数素子28と第1の接地電極22との間に形成される寄生容量は、高誘電率の誘電体のみからなる回路基板に形成された場合に比較して小さくなる。その結果、集中定数素子28の高周波特性の劣化を防止することができる。

【0024】すなわち、集中定数素子28の形成されている領域においては、そこに形成される集中定数素子に対する寄生容量が小さくなり、集中定数素子の高周波特性の劣化を小さくできることが分かる。

【0025】一方、マイクロストリップ線路からなる分布定数素子27は、第2の誘電体基板25のみを隔てて第3の接地電極26と対向して形成されているため、分布定数素子27と第3の接地電極26との間隔は、第2の誘電体基板25の厚み分となる。そして、その間にある誘電体は高誘電率の第2の誘電体基板25の分のみであるため、実効的な誘電率も第2の誘電体基板25の誘電率と同じである。そのため、分布定数素子27と第2の接地電極26との間に形成される分布容量（回路素子の電極の一定面積当たりの接地電極との間の容量）は、集中定数素子28と第1の接地電極22との間に形成される分布容量（寄生容量）に比べて大幅に大きくなり、波長短縮率も大きくなる。

【0026】分布定数素子27の分布容量が大きくなるということは分布定数素子27を構成する分布定数線路の特性インピーダンスが低くなるということである。これは、同じ特性インピーダンスを得る場合には線路幅を狭くすることができるということを意味するため、波長短縮率が大きくなることと合わせて分布定数素子27の小型化を図ることができる。

【0027】すなわち、分布定数素子27の形成されている長域においては、そこに形成される分布定数素子に対する波長短縮率が大きくなり、分布定数素子を小型化できることが分かる。

【0028】なお、上記の実施例とは逆に、高い特性インピーダンスの分布定数素子が必要な場合には、分布定数素子を集中定数素子28と同じ領域に形成して、第1の接地電極22と対向させて形成しても構わないものである。

【0029】さらに、接地電極との間に大きな容量を必要とするコンデンサのような集中定数素子が必要な場合には、集中定数素子を分布定数素子27と同じ領域に形成して、第3の接地電極28と対向させて形成しても構

わないものである。

【0030】このように、低誘電率の誘電体基板に高誘電率の誘電体基板を重ねて回路基板を構成することにより、集中定数素子に関しては寄生容量を小さくして使用することができ、高周波特性の劣化を防止することができる。また、マイクロストリップ線路からなる分布定数素子に関しては、その必要な特性インピーダンスの値によって形成する場所を変えたり、あるいは分布定数素子と対向している第3の接地電極の形成位置を変えたりすることによって、線路の波長短縮率を変えることができ、また、同じ幅の線路を高い特性インピーダンスと低い特性インピーダンスの両方で利用することができる。さらには、2つの領域にまたがるように回路素子を形成することによって、最適な特性を得るために設計することもできる。

【0031】これによって回路設計の自由度を大きくすることができ、回路基板自身の小型化を図ることができる。また、部分的に実効的な誘電率の高い部分や低い部分を作ることができるため、基板の誘電率を高くしたために、線路幅が狭くなりすぎて特性インピーダンスの高い分布定数線路が作成できないというような問題を回避することができる。

【0032】図5に、本発明の別の実施例の断面図を示す。図5において、図1と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。

【0033】図5に示した回路基板30においては、図1に示した集中定数素子28に代えて、回路素子として集中定数素子31が設けられている。集中定数素子31は、第2の誘電体基板25の一方主面と他方主面に形成された電極を組み合わせて形成されている。

【0034】ここで、図6に、集中定数素子31の一実施例の斜視図を示す。図6において、集中定数素子31は、スパイラル状の線路31aと直線状の線路31b、線路31aの他端と線路31bの一端を接続するスルーホール31c、線路31bの他端を誘電体基板の対向面まで導くスルーホール31d、線路31aの一端に接続された入力側線路31e、スルーホール31dに接続された出力側線路31fからなるインダクタンス素子である。ここで、線路31aと入力側線路31e、出力側線路31fは第2の誘電体基板25の他方主面に、線路31bは第2の誘電体基板25の一方主面に形成されている。

【0035】また、図7に集中定数素子のさらに別の実施例の斜視図を示す。図7において、集中定数素子32は互いに対向して形成された面状電極32aと面状電極32b、面状電極32aに接続された入力側線路32c、面状電極32bに接続された出力側線路32dからなるMIM構造（Metal Insulator Metal、2つの電極を1つの絶縁層を介して対向させる構造）の容量素子である。ここで、面状電極32aと

入力側線路32cは第2の誘電体基板25の他方主面に、面状電極32bと出力側電極32dは第2の誘電体基板25の一方主面に形成されている。

【0036】なお、上記の図6および図7においては、誘電体基板25は省略している。

【0037】図5に戻り、このように、集中定数素子31を第2の誘電体基板25の他方主面に形成した電極だけでなく、第2の誘電体基板25の一方主面に形成した電極と組み合わせて形成したものであっても、図1に示した回路基板20と同様の作用効果を奏するとともに、集中定数素子の容量値やインダクタンス値の設定範囲をより広くすることもできるものである。

【0038】なお、上記の各実施例においては各誘電体基板をセラミックで構成したが、必ずしもセラミックに限るものではなく、樹脂や半導体で構成したものであっても同様の作用効果を奏するものである。

【0039】また、第1の誘電体基板を低誘電率の誘電体により構成し、第2の誘電体基板を高誘電率の誘電体により構成したが、必ずしもこのような構成に限定されるものではなく、各誘電体基板を同じ誘電率の誘電体で構成しても、あるいは逆に第1の誘電体基板を高誘電率の誘電体により構成し、第2の誘電体基板を低誘電率の誘電体により構成してもかまわないものである。この場合は、波長短縮率の違いを使い分けることはほとんどできなくなるが、同じ幅の線路を高特性インピーダンスと低特性インピーダンスで使い分けたり、集中定数素子の寄生容量を小さくすることに関しては同様の作用効果を奏するものである。

【0040】また、上記の各実施例において、接地電極同士の接続や回路素子の接続にスルーホールを用いているが、これはピアホールを用いても構わないものである。

【0041】図8に、本発明の回路基板20を用いて構成した電子装置の一実施例を示す。図8において、図1と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。

【0042】図8において、電子装置40は、回路基板20の第2の誘電体基板25の他方主面に新たに電極41を形成してその上にIC42を搭載し、第1の誘電体基板21の他方主面全体を覆うカバー43を設けて構成している。ここで、図9に、電子装置40の回路のブロック図を示す。図9において、電子装置40の入力端子51はフィルタ52、アンプ53、フィルタ54を順に介してミキサ56に接続されている。また、局部発振器55もミキサ56に接続されている。そして、ミキサ56の出力はフィルタ57とアンプ58を介して出力端子59に接続されている。電子装置40はこのように構成されることによってダウンコンバータとして機能する。なお、電子装置40を構成するフィルタやアンプなどの各ブロックは、いずれも回路基板20に形成された集中

定数素子や分布定数素子、および回路基板20に搭載されたICなどの電子部品によって構成されているものである。

【0043】このように、本発明の回路基板20を用いて電子装置40を構成することにより、回路基板20に形成される回路素子の小型化、高周波特性の改善と設計の自由度の向上による回路基板の小型化、低価格化を図ることができる。また、それによって電子装置40自身の小型化と低価格化を図ることができる。

【0044】なお、図8の実施例においては、図1に示した回路基板20を用いて電子装置40を構成しているが、図5に示した回路基板30を用いて電子装置を構成しても同様の作用効果を奏するものである。

【0045】また、本発明の回路基板を用いた電子装置はダウンコンバータに限るものではなく、フィルタやアンプ、ミキサ、発振器などの個別の電子装置であっても良く、これら以外の電子装置であっても構わないものである。

【0046】  
【発明の効果】本発明の回路基板によれば、一方主面のほぼ全面に第1の接地電極を形成し、他方主面の一部に第2の接地電極を形成した低誘電率の第1の誘電体基板と、一方主面の一部に第3の接地電極を形成し、他方主面に回路素子を形成した高誘電率の第2の誘電体基板を、第2の誘電体基板の一方主面を、前記第1の誘電体基板の他方主面に重ね合わせて、第2の接地電極と第3の接地電極を電気的に接続して構成することによって、回路素子の中の集中定数素子の寄生容量の低減とマイクロストリップ線路からなる分布定数素子の小型化、回路設計の自由度の向上、さらには回路基板自身の小型化、低価格化を同時に実現することができる。

【0047】また、本発明の電子装置によれば、回路基板の小型化と低価格化に基づいて小型化と低価格化を図ることができる。

【図面の簡単な説明】

【図1】本発明の回路基板の一実施例を示す断面図である。

【図2】図1の回路基板に形成した分布定数素子の一実施例を示す平面図である。

【図3】図1の回路基板に形成した集中定数素子の一実施例を示す平面図である。

【図4】図1の回路基板に形成した集中定数素子の別の実施例を示す平面図である。

【図5】本発明の回路基板の別の実施例を示す断面図である。

【図6】図5の回路基板に形成した集中定数素子の一実施例を示す斜視図である。

【図7】図5の回路基板に形成した集中定数素子の別の実施例を示す斜視図である。

【図8】本発明の電子装置の一実施例を示す断面図であ

る。

【図9】図8の電子装置の回路のブロック図である。

【図10】従来の回路基板を示す断面図である。

【図11】従来の別の回路基板を示す断面図である。

【符号の説明】

20、30…回路基板

21…第1の誘電体基板

22…第1の接地電極

23…第2の接地電極

24…スルーホール

25…第2の誘電体基板

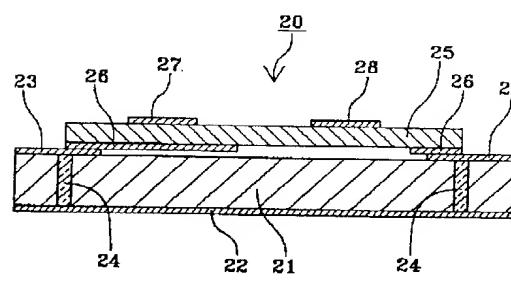
26…第3の接地電極

05 27…分布定数素子 (回路素子)

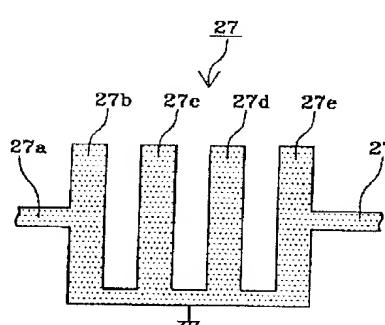
28、29、31、32…集中定数素子 (回路素子)

40…電子装置

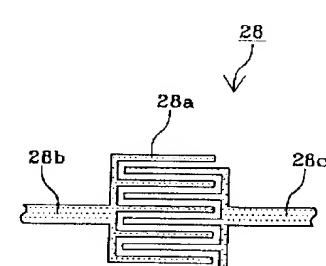
【図1】



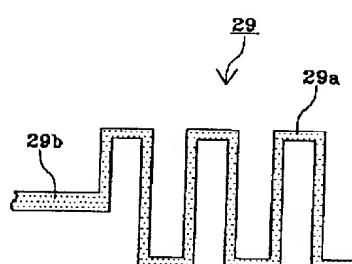
【図2】



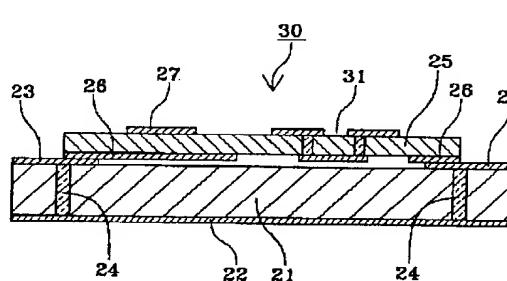
【図3】



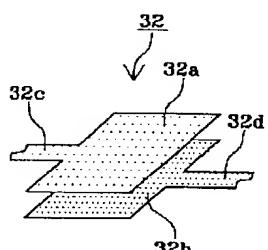
【図4】



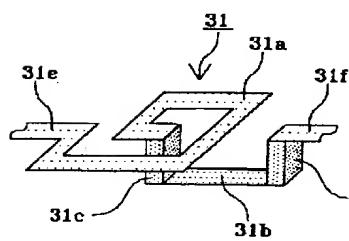
【図5】



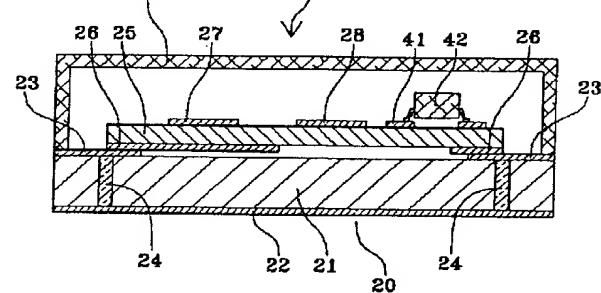
【図7】



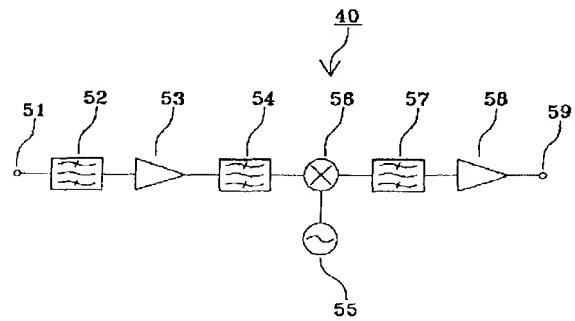
【図6】



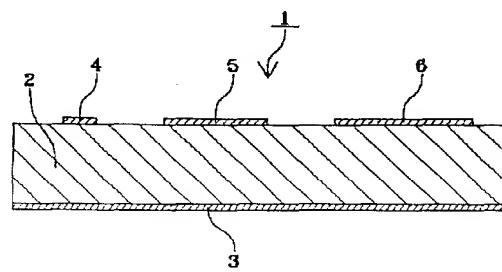
【図8】



【図9】



【図10】



【図11】

